

IFW



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Chung YI

Docket: 8071-55 (OPP 030490US)

Serial No.: 10/800,180

Group: Art Unit 2812

Filed: March 12, 2004

For: THIN FILM TRANSISTOR ARRAY PANEL AND  
MANUFACTURING METHOD THEREOF

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Attached herewith is a certified copy of Korean Application No. 2003-15773 filed March 13, 2003 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,

F. CHAU & ASSOCIATES, LLC

  
Frank Chau

Reg. No. 34,136

Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLC  
1900 Hempstead Turnpike, Suite 501  
East Meadow, NY 11554  
Tel.: (516) 357-0091  
Fax: (516) 357-0092  
FC/pg

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 14, 2004.

Dated:

6/14/04

  
Frank Chau

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0015773  
Application Number

출원년월일 : 2003년 03월 13일  
Date of Application MAR 13, 2003

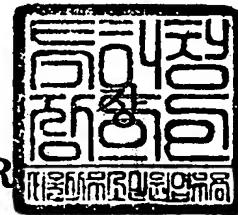
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 09 일

특허청

COMMISSIONER





1020030015773

출력 일자: 2003/5/10

## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0007		
【제출일자】	2003.03.13		
【발명의 명칭】	박막 트랜지스터 표시판 및 그의 제조 방법		
【발명의 영문명칭】	Thin film transistor array panel and manufacturing method thereof		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【명칭】	유미특허법인		
【대리인코드】	9-2001-100003-6		
【지정된변리사】	김원근, 박종하		
【포괄위임등록번호】	2002-036528-9		
【발명자】			
【성명의 국문표기】	이청		
【성명의 영문표기】	YI, CHUNG		
【주민등록번호】	661222-1029449		
【우편번호】	449-914		
【주소】	경기도 용인시 구성면 상하리 쌍용아파트 315동 702호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 유미특허법 인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		



1020030015773

출력 일자: 2003/5/10

### 【요약서】

#### 【요약】

본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 형성되어 있는 게이트선, 게이트선과 연결되어 있는 게이트 전극, 게이트선 및 게이트 전극 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 다결정 규소로 형성되어 있는 반도체층, 반도체층의 상부에 도전형 불순물이 도핑되어 형성되어 있는 소스부 저항성 접촉 영역 및 드레인부 저항성 접촉 영역, 반도체층 위에 형성되며 게이트선과 교차하여 형성되어 있는 데이터선, 데이터선과 연결되며 소스부 저항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 소스 전극, 소스 전극과 대향하며 드레인부 저항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 드레인 전극, 데이터 배선 위에 형성되며 드레인 전극을 노출하는 접촉구를 가지는 보호막, 보호막 위에 형성되며 접촉구를 통해 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

#### 【대표도】

도 1b

#### 【색인어】

다결정규소, 반도체층, 저항성접촉층



1020030015773

출력 일자: 2003/5/10

### 【명세서】

#### 【발명의 명칭】

박막 트랜지스터 표시판 및 그의 제조 방법{Thin film transistor array panel and manufacturing method thereof}

#### 【도면의 간단한 설명】

도 1a는 본 발명에 따른 박막 트랜지스터 표시판의 배치도이다.

도 1b 도 1a의 Ib-Ib'선에 대한 단면도이다.

도 2a 내지 도 8b는 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법을 공정 순서대로 도시한 도면이다.

#### ※도면의 주요부분에 대한 부호 설명※

110 : 절연 기판

121 : 게이트선

123 : 게이트 전극

140 : 게이트 절연막

154 : 반도체층

163 : 소스부 저항성 접촉 영역

165 : 드레인부 저항성 접촉 영역

171 : 데이터선

173 : 소스 전극

175 : 드레인 전극

180 : 보호막

181, 182 : 접촉구

190 : 화소 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 박막 트랜지스터 표시판 및 그의 제조 방법에 관한 것이다.

<13> 박막 트랜지스터 기판은 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다. 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연막 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 보호막 등으로 이루어져 있다. 이러한 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자이다.

<14> 이러한 박막 트랜지스터 표시판은 반도체층을 비정질 규소 또는 다결정 규소로 형성할 수 있는데 비정질 규소로 박막 트랜지스터 표시판을 형성하는 과정을 개략적으로 살펴보면 다음과 같다.

<15> 먼저 절연 기판 위에 게이트선을 형성하고, 게이트선 위에 게이트 절연막을 형성한다. 그런 다음 게이트 절연막의 소정 영역에 불순물이 도핑되지 않은 비정질 규소로 반도체층을 형성하고, 반도체층 위에 불순물이 도핑된 비정질 규소로 저항성 접촉층을 형성한



다. 그리고 저항성 접촉층과 중첩하는 데이터선을 형성하고, 데이터선을 덮도록 보호막을 형성한다. 마지막으로 보호막 위에 데이터선과 연결되는 화소 전극을 형성한다.

<16> 이상 설명한 바와 같이 비정질 규소로 박막 트랜지스터 표시판을 형성하기 위해서는 다음 회의 사진 식각 공정 및 증착 공정이 반복된다. 이러한 공정이 증가될수록 생산성이 떨어지고, 이에 따라 생산비도 증가되는 문제점이 있다. 이와 같은 이유로 생산비를 감소시키고 생산성을 향상시키기 위해서는 박막 트랜지스터 표시판을 형성하는 공정을 최소화하는 것이 중요하다. 또한, 비정질 규소는 다결정 규소에 비해서 반도체층의 동작 속도가 떨어지는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명의 목적은 빠른 동작 속도를 가지는 박막 트랜지스터 표시판과 그를 제조하기 위한 제조 공정을 간소화할 수 있는 박막 트랜지스터 표시판의 제조 방법을 제공하기 위한 것이다.

#### 【발명의 구성 및 작용】

<18> 상기한 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 형성되어 있는 게이트선, 게이트선과 연결되어 있는 게이트 전극, 게이트 선 및 게이트 전극 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 다결정 규소로 형성되어 있는 반도체층, 반도체층의 상부에 도전형 불순물이 도핑되어 형성되어 있는 소스부 저항성 접촉 영역 및 드레인부 저항성 접촉 영역, 반도체층 위에 형성되며 게이트선과 교차하여 형성되어 있는 데이터선, 데이터선과 연결되며 소스부 저항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 소스 전극, 소스 전극과 대향하며 드레인부 저



항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 드레인 전극, 데이터 배선 위에 형성되며 드레인 전극을 노출하는 접촉구를 가지는 보호막, 보호막 위에 형성되며 접촉구를 통해 드레인 전극과 연결되어 있는 화소 전극을 포함한다.

<19> 여기서 도전형 불순물은 붕소 또는 인을 사용하는 것이 바람직하고, 도전형 불순물은  $1 \times 10^{14} \sim 1 \times 10^{16}(\text{개}/\text{cm}^3)$  의 농도로 도핑되어 있는 바람직하다.

<20> 상기한 다른 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은 절연 기판 위에 게이트선 및 게이트 전극을 형성하는 단계, 게이트선 및 게이트 전극 위에 게이트 절연막, 다결정 규소층을 형성하는 단계, 다결정 규소층 위에 제1 두께 영역, 제1 두께 영역보다 두꺼운 제2 두께 영역을 가지는 감광막 패턴을 형성하는 단계, 감광막 패턴을 마스크로 다결정 규소층을 패터닝하여 반도체층을 형성하는 단계, 제1 두께 영역의 감광막 패턴을 제거하는 단계, 제2 두께 영역의 감광막 패턴을 마스크로 하여 도전형 불순물을 도핑하여 반도체층의 상부에 소스부 및 드레인부 저항성 접촉 영역을 형성하는 단계, 제2 두께 영역의 감광막 패턴을 제거하는 단계, 게이트선과 교차하는 데이터선, 게이트선과 연결되며 소스부 저항성 접촉 영역과 일부분이 중첩하는 소스 전극, 소스 전극과 대향하며 드레인부 저항성 접촉 영역 위에 형성되어 있는 드레인 전극을 형성하는 단계, 데이터선, 소스 전극 및 드레인 전극 위에 드레인 전극을 노출하는 접촉구를 가지는 보호막을 형성하는 단계, 보호막 위에 접촉구를 통해 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

<21> 여기서 감광막 패턴을 형성하는 단계는 다결정 규소층 위에 감광막을 형성하는 단계, 광막을 광마스크를 통해 노광 및 현상하는 단계를 포함하고, 광마스크는 제1 두께 영역과 대응하는 슬릿패턴 또는 반투명막을 가지는 것이 바람직하다.

<22> 그리고 도전형 불순물은 P형 불순물을 사용하는 것이 바람직하다.

<23> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<24> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<25> 이제 본 발명의 실시예를 참조한 도면과 함께 상세히 설명한다.

<26> 도 1a는 본 발명에 따른 박막 트랜지스터 표시판의 배치도이고, 도 1b는 도 Ib-Ib'선에 대한 단면도이다.

<27> 박막 트랜지스터 표시판은 투명한 절연 기판(110) 위에 일 방향으로 긴 게이트선(121)이 형성되어 있다. 그리고 게이트선(121)의 일부분 또는 분지형으로 게이트 전극(123)이 형성되어 있다. 게이트선(121)의 끝부분은 게이트 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달받기 위해서 게이트선(121)의 폭보다 넓게 형성할 수 있다. 이때, 화소 영역의 유지 용량을 증가시키기 위해서 게이트선(121)의 일부분을 확대 형성하여 다른 층에 형성되며 화소 전극(190)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 중첩한다. 유지 용량이 충분할 경우 형성하지 않을 수 있으며, 유지 용량이 충분하지 않을

경우 게이트선(121)과 평행하게 형성되어 있는 유지 전극선(도시하지 않음)을 추가할 수 있다.

<28> 게이트선(121) 및 게이트 전극(123) 위에는 이들을 덮도록 게이트 절연막(140)이 형성되어 있다. 게이트 전극(123)과 대응하는 게이트 절연막(140) 바로 위에는 다결정 규소로 이루어진 반도체층(154)이 형성되어 있다. 그리고 반도체층(154)의 상부에는 소스부 저항성 접촉 영역(163) 및 드레인부 저항성 접촉 영역(165)이 형성되어 있다. 소스부 및 드레인부 저항성 접촉 영역(163, 165)은 반도체층(154)의 소정 영역을 두고 일정거리 떨어져 형성되어 있다. 소정 영역은 소스 전극(173)과 드레인 전극(175) 사이의 채널을 형성하는 채널 영역이다.

<29> 게이트 절연막(140) 위에는 게이트선(121)과 교차하는 데이터선(171)이 형성되어 있다. 데이터선(171)의 분지로 형성되며 소스부 저항성 접촉 영역(163)과 일부분이 중첩하는 소스 전극(173)이 형성되어 있다. 그리고 소스 전극(173)과 일정거리 떨어져 대향되며 드레인부 저항성 접촉 영역(165)과 일부분이 중첩하는 드레인 전극(175)이 형성되어 있다. 또한, 게이트선(121)의 일부분과 중첩하여 유지 용량을 증가시키는 유지 축전기용 도전체 패턴(177)이 형성되어 있다.

<30> 이들 데이터선(171), 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 포함하는 기판 전면에 보호막(180)이 형성되어 있다. 보호막(180)에는 드레인 전극(175)을 노출하는 제1 접촉구(181), 유지 축전기용 도전체 패턴(177)을 노출하는 제2 접촉구(182)가 형성되어 있다. 그리고 보호막(180) 위에는 제1 접촉구(181) 및 제2 접촉구(182)를 통해 드레인 전극(175)과 연결되는 화소 전극(190)이 형성되어 있다.

<31> 이러한 본 발명에 따른 박막 트랜지스터 표시판을 제조하는 방법을 첨부한 도면을 참조하여 설명한다.

<32> 도 2a 및 2b에 도시한 바와 같이, 절연 기판(110) 위에 알루미늄, 크롬, 몰리브덴 등의 금속을 증착하여 금속막을 형성한다. 이후 금속막을 패터닝하여 게이트선(121) 및 게이트 전극(123)을 형성한다. 게이트선(121), 게이트 전극(123)은 테이퍼 구조로 형성하여 후속 공정으로 형성되는 상부층이 하부층에 잘 밀착할 수 있도록 한다.

<33> 도 3에 도시한 바와 같이, 게이트선(121) 및 게이트 전극(123)을 덮도록 게이트 절연막(140) 및 다결정 규소층(150)을 순차적으로 형성한다. 게이트 절연막(140)은 산화 규소(SiO<sub>2</sub>) 또는 질화 규소(SiNx) 등으로 형성한다.

<34> 이어서 비정질 규소층을 증착하고 레이저 열처리 또는 로열처리하여 다결정 규소층(150)을 형성한다. 다결정 규소층(150)은 다결정 규소를 증착하여 형성할 수도 있다.

<35> 다음 도 4에 도시한 바와 같이, 다결정 규소층(150) 위에 감광막을 형성하고 광마스크 통해 노광 및 현상하여 서로 다른 두께를 가지는 감광막 패턴(PR)을 형성한다. 감광막 패턴(PR)은 이후에 형성할 소스부 및 드레인부 저항성 접촉 영역(163, 165)과 대응하는 부분(제1 영역 : A)은 다른 부분(제2 영역 : B)에 비해서 감광막 패턴(PR)의 두께가 얇게 형성되도록 한다.

<36> 이처럼 위치에 따라서 감광막 패턴(PR)의 두께를 다르게 형성하는 방법은 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용하여 형성할 수 있다. 또한, 리플로 우가 가능한 물질로 이루어진 감광막을 이용하여 감광막의 일부를 흘러 내리도록 함으로써 두께가 다른 감광막 패턴을 형성할 수도 있다.

<37> 도 5a 및 5b에 도시한 바와 같이, 감광막 패턴(PR)을 마스크로 다결정 규소층(150)을 패터닝하여 게이트 전극(123)과 중첩하는 반도체 패턴(150A)을 형성한다. 이후 제1 영역(A)의 감광막 패턴을 애싱(ashing)으로 제거한다. 이때 제2 영역(B)의 감광막 패턴도 일부 제거된다.

<38> 도 6a 및 6b에 도시한 바와 같이, 제2 영역(B)의 감광막 패턴(PR)을 마스크로 하여 반도체 패턴(150A)의 노출되어 있는 영역에 N형 또는 P형 불순물인 붕소(B), 인(P) 이온 등을 도핑하여 소스부 및 드레인부 저항성 접촉 영역(163, 165)을 형성한다. 이때 도핑되는 불순물 이온의 농도는  $1 \times 10^{14} \sim 1 \times 10^{16}$ (개/cm<sup>3</sup>)로 설정하는 것이 바람직하다.

<39> 도 7a 및 7b에 도시한 바와 같이, 제2 영역(B)의 감광막을 제거하고 반도체층(154) 위에 알루미늄, 크롬, 몰리브덴 등의 금속으로 금속막을 형성한다. 그리고 금속막을 사진 식각 공정으로 패터닝하여 데이터선(171), 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 형성한다. 이때 데이터선, 데이터선(171), 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)도 테이퍼 구조로 형성한다.

<40> 도 8a 및 8b에 도시한 바와 같이, 데이터선(171), 소스 전극(173), 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)을 덮도록 질화 규소와 같은 무기 절연막 또는 낮은 유전율을 가지는 유기 절연막을 적층하여 보호막(180)을 형성한다. 그리고 보호막(180)을 사진 식각 공정으로 식각하여 드레인 전극(175)을 노출하는 제1 접촉구(181), 유지 축전기용 도전체 패턴(177)을 노출하는 제2 접촉구(182)를 형성한다.

<41> 다음으로 보호막(180) 위에 ITO(indium tin oxide), IZO(indium zinc oxide) 등의 투명한 금속막을 형성한 후 패터닝하여 접촉구(181, 182)를 통해 드레인 전극(175) 및 유지

축전기용 도전체 패턴(177)과 연결되는 화소 전극(190)을 형성한다(도 1a 및 도 1b 참조).

<42> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<43> 이상 기술된 바와 같이, 반도체층을 다결정 규소로 형성하면 비정질 규소로 형성할 때보다 동작 속도가 향상된 고품질의 박막 트랜지스터 표시판을 제공할 수 있다. 서로 다른 두께를 가지는 감광막 패턴을 형성함으로써 제조 공정을 간소화할 수 있어 박막 트랜지스터 표시판의 생산성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극,

상기 게이트선 및 게이트 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 다결정 규소로 형성되어 있는 반도체층,

상기 반도체층의 상부에 도전형 불순물이 도핑되어 형성되어 있는 소스부 저항성 접촉 영역 및 드레인부 저항성 접촉 영역,

상기 반도체층 위에 형성되며 상기 게이트선과 교차하여 형성되어 있는 데이터선, 상기 데이터선과 연결되며 상기 소스부 저항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 소스 전극, 상기 소스 전극과 대향하며 상기 드레인부 저항성 접촉 영역과 일부분이 중첩하여 형성되어 있는 드레인 전극,

상기 데이터 배선 위에 형성되며 상기 드레인 전극을 노출하는 접촉구를 가지는 보호막,

상기 보호막 위에 형성되며 상기 접촉구를 통해 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 표시판.

**【청구항 2】**

제1항에서,

상기 도전형 불순물은 봉소 또는 인을 사용하는 박막 트랜지스터 표시판.

**【청구항 3】**

제1항에서,

상기 도전형 불순물은  $1 \times 10^{14} \sim 1 \times 10^{16}$  (개/cm<sup>3</sup>) 의 농도로 도핑되어 있는 박막 트랜지스터 표시판.

**【청구항 4】**

절연 기판 위에 게이트선 및 게이트 전극을 형성하는 단계,

상기 게이트선 및 게이트 전극 위에 게이트 절연막, 다결정 규소층을 형성하는 단계,

상기 다결정 규소층 위에 제1 두께 영역, 상기 제1 두께 영역보다 두꺼운 제2 두께 영역을 가지는 감광막 패턴을 형성하는 단계,

상기 감광막 패턴을 마스크로 상기 다결정 규소층을 패터닝하여 반도체층을 형성하는 단계,

상기 제1 두께 영역의 감광막 패턴을 제거하는 단계,

상기 제2 두께 영역의 감광막 패턴을 마스크로 하여 도전형 불순물을 도핑하여 상기 반도체층의 상부에 소스부 및 드레인부 저항성 접촉 영역을 형성하는 단계,

상기 제2 두께 영역의 감광막 패턴을 제거하는 단계,

상기 게이트선과 교차하는 데이터선, 상기 게이트선과 연결되며 상기 소스부 저항성 접촉 영역과 일부분이 중첩하는 소스 전극, 상기 소스 전극과 대향하며 상기 드레인부 저항성 접촉 영역 위에 형성되어 있는 드레인 전극을 형성하는 단계,

상기 데이터선, 소스 전극 및 드레인 전극 위에 상기 드레인 전극을 노출하는 접촉구를 가지는 보호막을 형성하는 단계,

상기 보호막 위에 상기 접촉구를 통해 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

#### 【청구항 5】

제4항에서,

상기 감광막 패턴을 형성하는 단계는 상기 다결정 규소층 위에 감광막을 형성하는 단계,

상기 감광막을 광마스크를 통해 노광 및 현상하는 단계를 포함하고,

상기 광마스크는 상기 제1 두께 영역과 대응하는 슬릿 패턴 또는 반투명막을 가지는 박막 트랜지스터 표시판의 제조 방법.

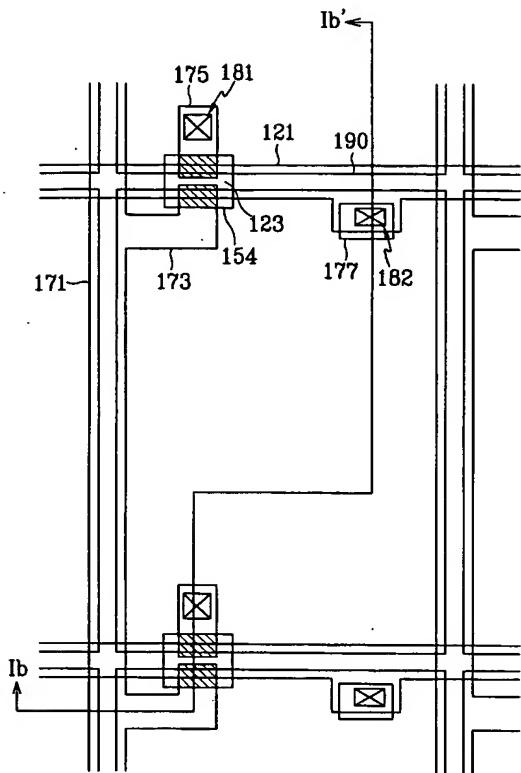
#### 【청구항 6】

제4항에서,

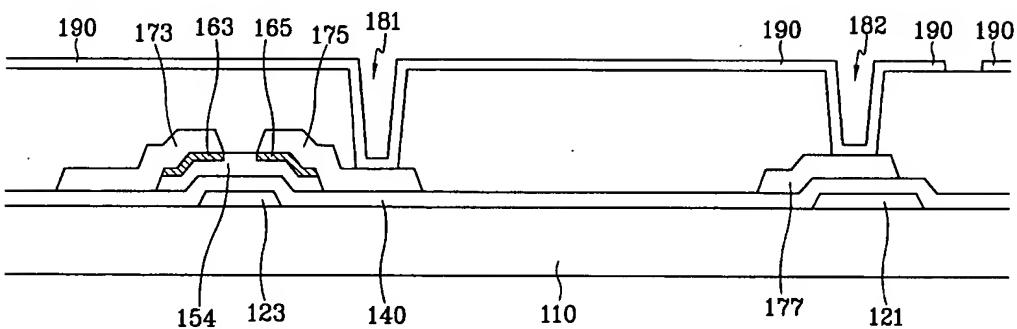
상기 도전형 불순물은 P형 불순물을 사용하는 박막 트랜지스터 표시판의 제조 방법.

## 【도면】

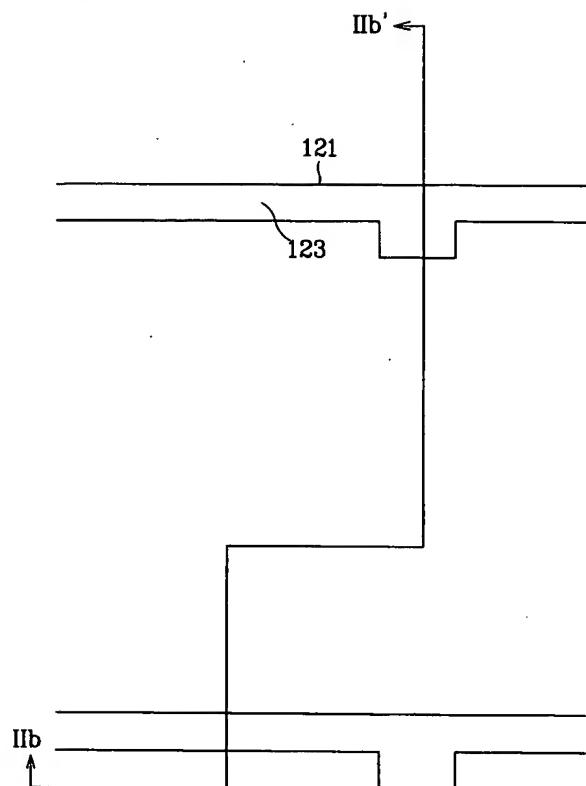
【도 1a】



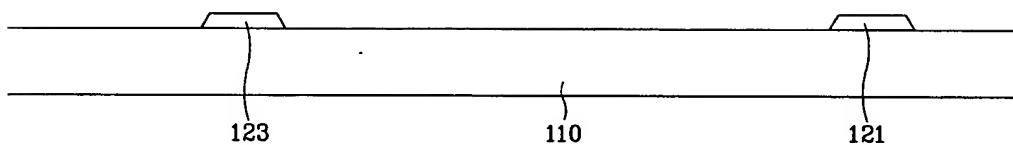
【도 1b】



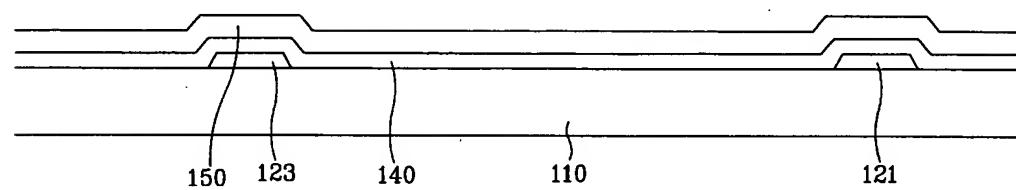
【도 2a】



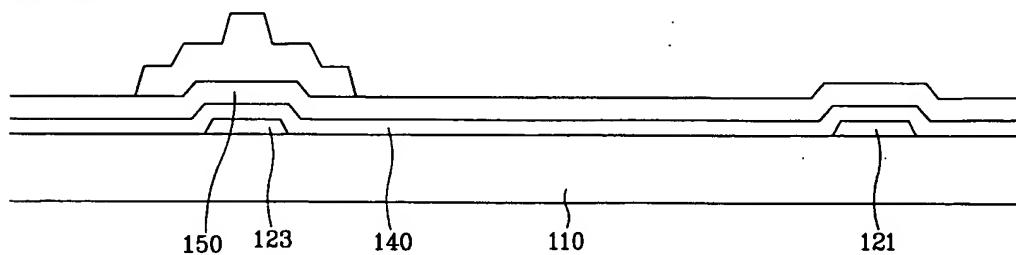
【도 2b】



【도 3】



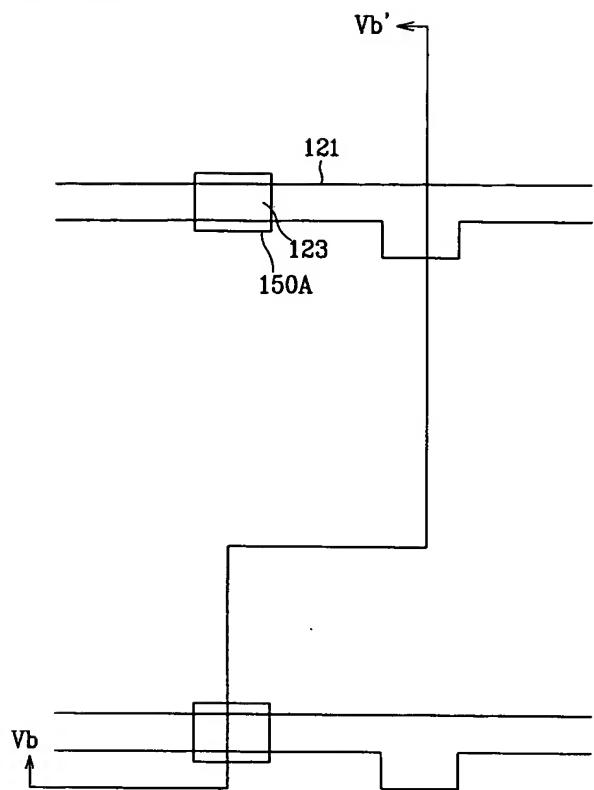
【도 4】



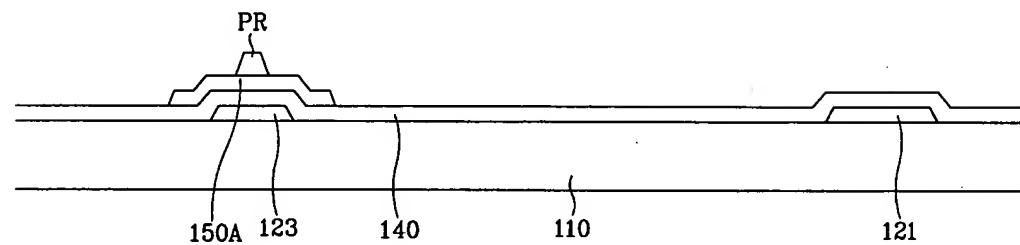
1020030015773

출력 일자: 2003/5/10

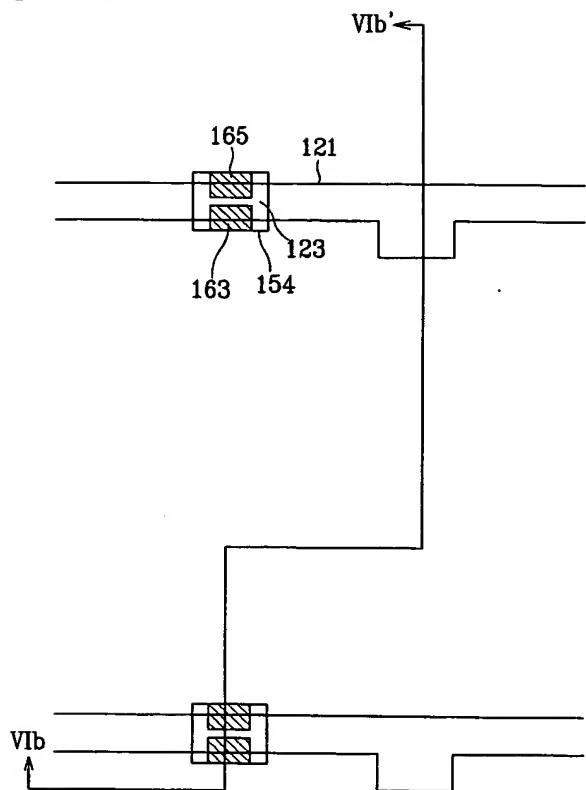
【도 5a】



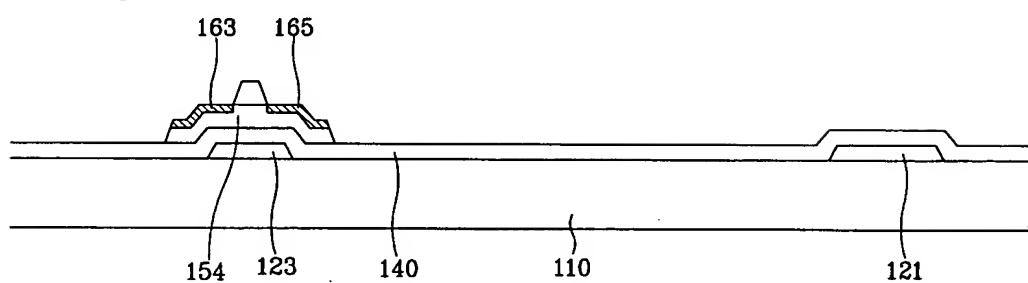
【도 5b】



【도 6a】



【도 6b】

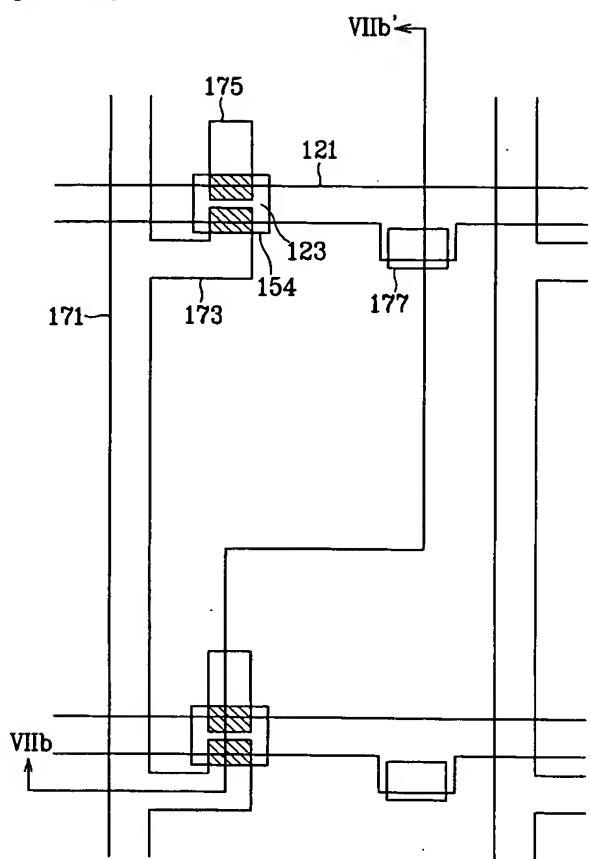




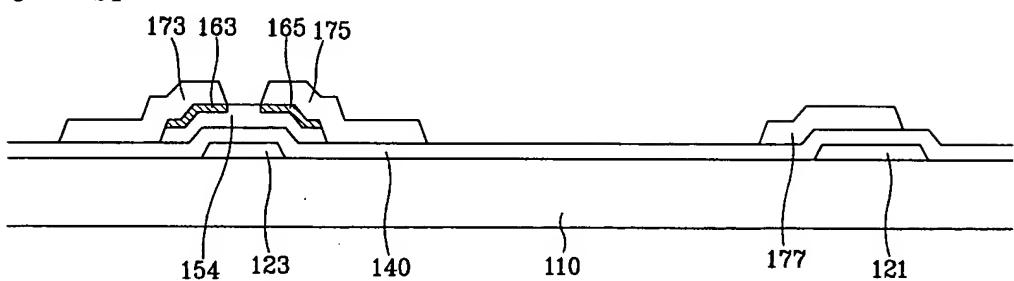
1020030015773

출력 일자: 2003/5/10

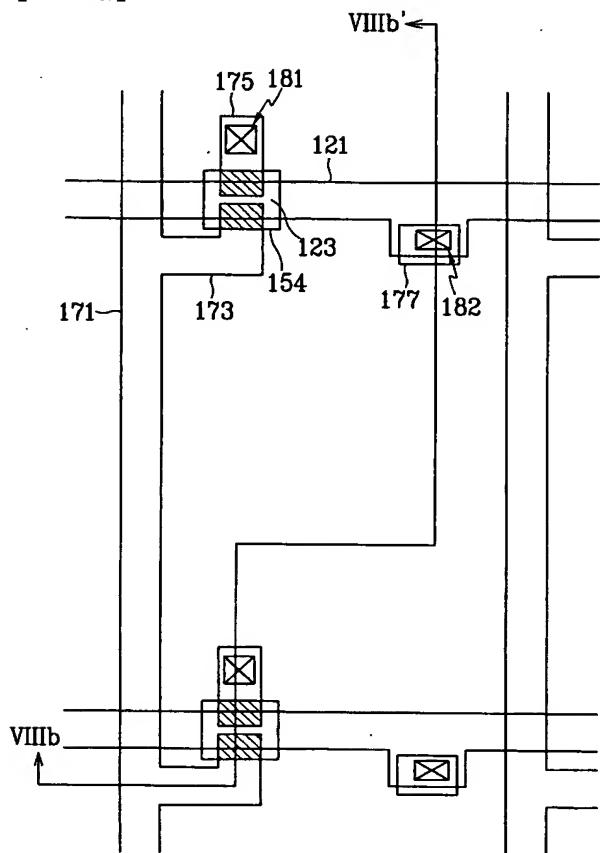
【도 7a】



【도 7b】



【도 8a】



【도 8b】

